

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-100723

⑤ Int. Cl.<sup>3</sup>  
H 01 L 21/265

識別記号

庁内整理番号  
6851-5F

⑬ 公開 昭和57年(1982)6月23日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 電子部品

⑯ 特 願 昭55-176480  
⑰ 出 願 昭55(1980)12月16日  
⑱ 発 明 者 満山博行  
川崎市幸区小向東芝町1東京芝  
浦電気株式会社トランジスタ工  
場内

⑲ 発 明 者 久保正照  
川崎市幸区小向東芝町1東京芝  
浦電気株式会社トランジスタ工  
場内  
⑳ 出 願 人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
㉑ 代 理 人 弁理士 井上一男

明 細 書

1. 発明の名称

電 子 部 品

2. 特許請求の範囲

半導体基板にイオン打込みにより形成された活性領域と、前記活性領域を被覆する絶縁層と、少なくとも前記活性領域上に前記絶縁層を介して被覆されかつ接地ないしマイナスのレベルに接続された導電被膜とを具備した電子部品。

3. 発明の詳細な説明

この発明は電子部品にかかり、特に半導体基板にイオン打込みを施して形成される活性領域の汚染を防止する改良構造に関する。

最近の電子部品はその能動素子、受動素子に対し、特にIC、LSI等を含めて高密度化を達成するために、半導体基板に活性領域を形成する拡散法にかわりイオン打込み法が多く用いられる傾向にある。例えばトランジスタのセルフアラインゲート構造(Pチャネル、NチャネルC/MOS-アルミゲート)、配線抵抗さらに電圧分割抵抗等が

あり、一方品質面から見てますます高信頼性が要求され特に汚染による変動、耐湿性の問題が取り上げられている。

従来電子部品における抵抗、トランジスタの構造と不純物を模型状に夫々第1図および第2図に、また、各断面図と透視的に示す上面図を第4図ないし第6図に示す。まず、第1図および第3図と第4図に抵抗の構造を示し、N型のシリコン基板(1)にイオン打込みによつてP層(2)を設け抵抗を形成したもので、この抵抗は両端に拡散形成されたP層(3)、(3')と電気的に接続し基板の表面の電極層(11)、(11')に接続し導出される。また、基板の表面には絶縁層(4)、(4')がSiO<sub>2</sub>、PSG(リンシリケートガラス)などで形成され、さらにエポキシのようなモールド樹脂層(5)によつて被覆されている。次に、第2図および第5図と第6図にアルミゲートモスFETを示しN型シリコン基板(1)にソース領域、ドレイン領域(6)、(7)がセルフアライン形成され、ゲート酸化膜(8)を介してアルミニウムのゲート電極(9)が設けられている。また、(12s)はソー

ス電極、(12d)はドレイン電極でさらに絶縁層(4)、モールド樹脂層(5)等によつて被覆保護されているが、これら絶縁層の $\text{SiO}_2$ 、モールド樹脂の一例のエポキシ樹脂等にはゲートに印加されるマイナス電圧に引かれて $\text{Na}^+$ イオンが集まり、 $\text{P}^-$ イオン打込層(10)、(10')の濃度が増加する。そして、トランジスタの特性が変動するなどの重大な障害をもたらす。

この発明は上に述べた従来の問題点を改良するためのもので、半導体基板にイオン打込み形成された低濃度の活性領域に対し、この濃度を不所望に変える不純物の影響から防護する電子部品の構造を提供するものである。

次にこの発明を実施例につき詳細に説明する。まず、基板にイオン打込みして形成した $\text{P}^-$ 層を抵抗とするものを第7図および第8図に示す。この第7図および第8図は前記従来の第3図および第4図に対応するもので、基板および絶縁層については変らないので図面に同じ符号をつけて説明を省略する。この実施例では基板(1)にイオン打込み

形成された $\text{P}^-$ 層(2)の上方に絶縁層(4)、(4')を介してアルミニウムまたはポリシリコン等の導電被膜(20)が設けられ接地またはマイナスのレベルに接続されている。また、基板に形成されたトランジスタの例えばアルミゲートモスFETを第9図および第10図に示す。この第9図および第10図は前記従来の第5図および第6図に対応するもので、変らない部分は図面に同じ符号をつけて示し説明を省略する。この実施例では基板(1)のイオン打込み層の $\text{P}^-$ 層(10)、(10')にこの上部の絶縁層(4)、(4')を介してアルミニウムまたはポリシリコン等の導電被膜(20)が設けられて接地またはマイナスのレベルに接続されている。

この発明によれば、イオン打込み形成された $\text{P}^-$ 層が $\text{Na}^+$ イオンによつて汚染されるのを防止するために、導電被膜を設けるとともにこれを接地またはマイナスのレベルに接続して $\text{Na}^+$ イオンを吸着固定している。このため電子部品の電気的特性が良好に得られるとともに長期にわたり品質が保証できるという顕著な利点がある。またこの発

明は実施が容易であるとともに材料費も廉価に達成できる利点もある。

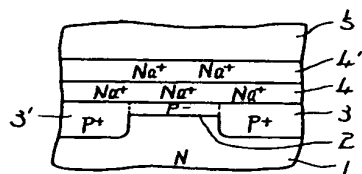
#### 4. 図面の簡単な説明

第1図および第2図は電子部品における抵抗、トランジスタの構造と不純物とを模型状に示す断面図、第3図ないし第6図は従来の電子部品の一部を示し、第3図は抵抗の断面図、第4図は抵抗を透視的に示す上面図、第5図はトランジスタの断面図、第6図はトランジスタを透視的に示す上面図、第7図以降はこの発明の1実施例にかかり、第7図は抵抗の断面図、第8図は抵抗を透視的に示す上面図、第9図はトランジスタの断面図、第10図はトランジスタを透視的に示す上面図である。

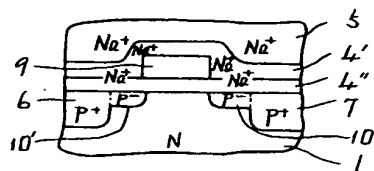
- |            |                         |
|------------|-------------------------|
| 1          | シリコン基板                  |
| 2, 10, 10' | $\text{P}^-$ 層(イオン打込み層) |
| 4, 4'      | 絶縁層                     |
| 20, 20'    | 導電被膜                    |

代理人 弁理士 井 上 一 男

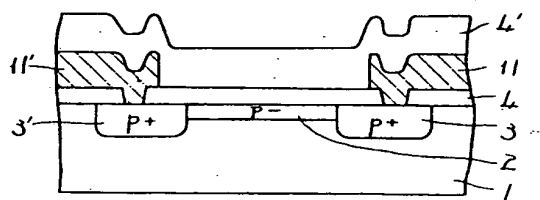
第 1 図



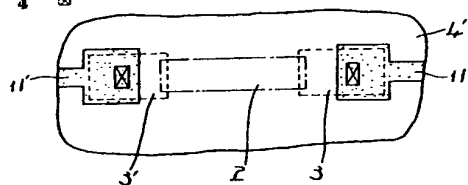
第 2 図



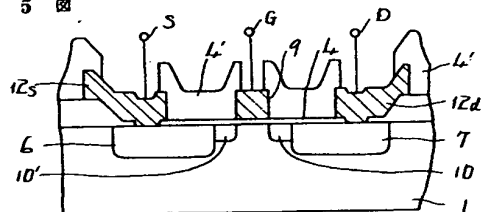
第 3 図



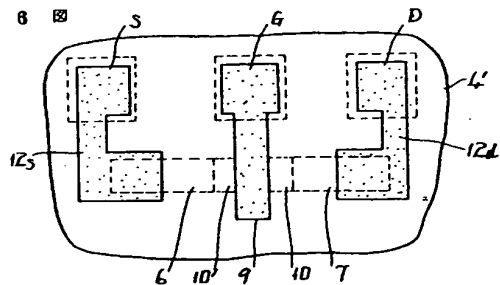
第 4 図

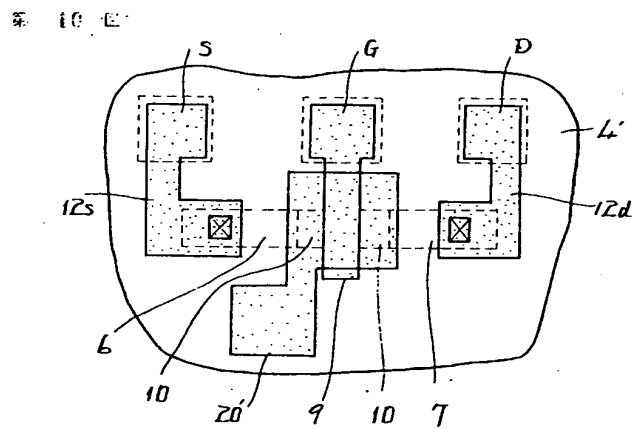
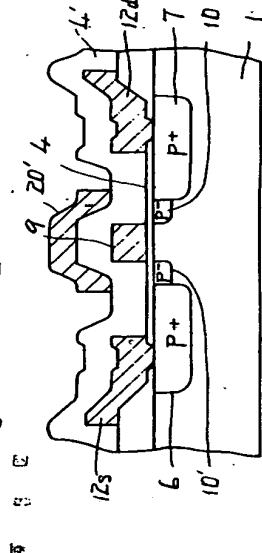


第 5 図



第 6 図





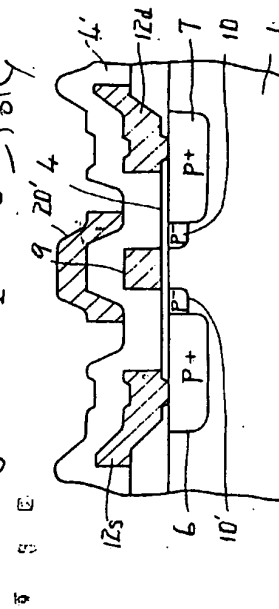
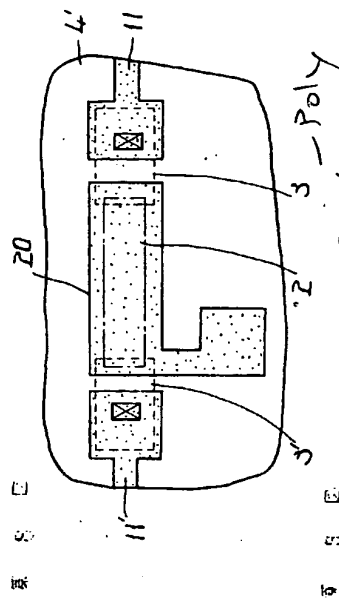
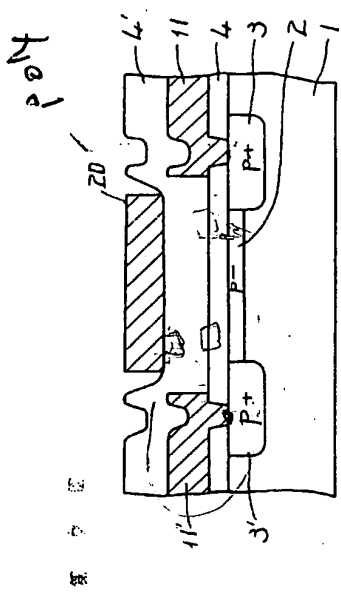
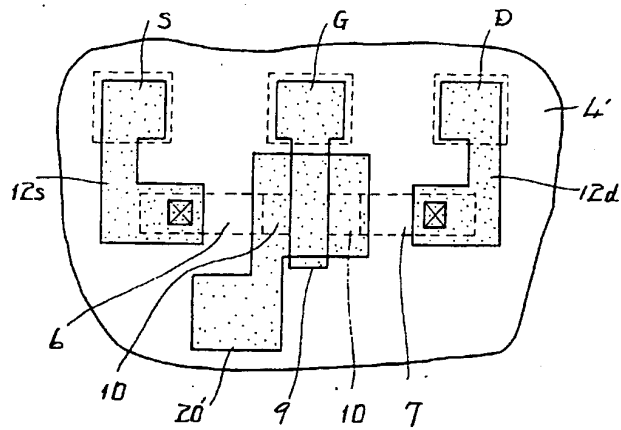


Fig. 10



1901268

CLIPPEDIMAGE= JP357100723A  
PAT-NO: JP357100723A  
DOCUMENT-IDENTIFIER: JP 57100723 A  
TITLE: ELECTRONIC PARTS

PUBN-DATE: June 23, 1982

INVENTOR-INFORMATION:  
NAME  
MITSUYAMA, HIROYUKI  
KUBO, MASATERU

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP55176480  
APPL-DATE: December 16, 1980

INT-CL (IPC): H01L021/265  
US-CL-CURRENT: 438/FOR.330,438/103

ABSTRACT:  
PURPOSE: To prevent the variation in the characteristics of a transistor by forming an insulating layer for protecting the active region of low density formed by an ion implantation in a semiconductor substrate from the influence of impurity varying the density.

CONSTITUTION: In a semiconductor substrate are provided an active region formed by ion implantation, insulating layers 4, 4' covering the active region, and conductive films 20, 20' connected to ground or negative level and covered via the insulating layers. For example, a conductive film 20 of aluminum or polysilicon is formed via insulating layers 4, 4' on a P type layer 2 formed by ion implantation on the substrate 1, is connected to ground or negative level to adsorb fixedly Na<SP>+</SP> ions, thereby improving the electric

characteristics of the electronic part and proving the  
quality over long period  
of time.

COPYRIGHT: (C)1982,JPO&Japio